

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-133895

(P2002-133895A)

(43)公開日 平成14年5月10日(2002.5.10)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード(参考)
G 1 1 C 29/00	6 0 3	G 1 1 C 29/00	6 0 3 J 5 F 0 3 8
11/401		H 0 1 L 27/04	C 5 L 1 0 6
H 0 1 L 21/822		G 1 1 C 11/34	3 7 1 D 5 M 0 2 4
27/04			

審査請求 未請求 請求項の数17 O L (全 21 頁)

(21)出願番号 特願2001-163171(P2001-163171)

(22)出願日 平成13年5月30日(2001.5.30)

(31)優先権主張番号 特願2000-247700(P2000-247700)

(32)優先日 平成12年8月17日(2000.8.17)

(33)優先権主張国 日本(J P)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 戸田 春希

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

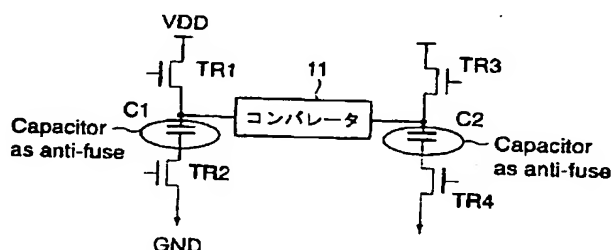
最終頁に続く

(54)【発明の名称】 アンチフューズを用いたリダンダンシ回路及び半導体メモリにおける不良アドレス検索方法

(57)【要約】

【課題】フューズの破壊状態のばらつきによらず、フューズプログラム状態が正確に判定できるリダンダンシ回路を提供する。

【解決手段】この発明のリダンダンシ回路は、第1、第2の電気フューズ、差動増幅器、記憶回路、及びスイッチ回路を有する。前記第1、第2の電気フューズは、あるレベル以上の電圧を印加すると電流特性が変化する。前記差動増幅器は、前記第1、第2の電気フューズの各々の電流特性の違いに依存した2つの信号電圧を受け取り、これら信号電圧の差を増幅して出力する。前記記憶回路は、前記差動増幅器からの出力を記憶する。前記スイッチ回路は、前記差動増幅器と前記記憶回路との間を、接続状態あるいは遮断状態のいずれかの状態にする。



1

## 【特許請求の範囲】

【請求項 1】 所定レベル以上の電圧を印加すると電流特性が変化する第 1、第 2 の電気フューズと、前記第 1、第 2 の電気フューズの各々の電流特性の違いに依存した 2 つの信号電圧を受け取り、これら信号電圧の差を増幅して出力する差動増幅器と、前記差動増幅器からの出力を記憶する記憶回路と、前記差動増幅器と前記記憶回路との間を接続状態あるいは遮断状態のいずれかの状態にするスイッチ回路と、を具備することを特徴とするリダンダンシ回路。

【請求項 2】 所定レベル以上の電圧を印加するとリーク電流特性が変化する第 1、第 2 の電気アンチフューズと、前記第 1、第 2 の電気アンチフューズの各々のリーク電流特性の違いに依存した 2 つの信号電圧を受け取り、これら信号電圧の差を増幅して出力する差動増幅器と、前記差動増幅器からの出力を記憶する記憶回路と、前記差動増幅器と前記記憶回路との間を接続状態あるいは遮断状態のいずれかの状態にするスイッチ回路と、を具備することを特徴とするリダンダンシ回路。

【請求項 3】 一対の電気フューズを有し、回路動作状態を決めるビット情報を記憶するフューズビット記憶回路と、前記一対の電気フューズのうちの一方に、所定レベル以上の電圧を印加して前記一対の電気フューズの各々の電流特性にアンバランスを作り、前記回路動作状態を決めるビット情報を前記フューズビット記憶回路にプログラムするプログラム制御回路と、前記一対の電気フューズの各々の出力を受け取り、前記電流特性のアンバランス状態を増幅する差動増幅器と、前記差動増幅器からの出力を記憶する記憶回路と、前記差動増幅器と前記記憶回路との間を、接続状態あるいは遮断状態のいずれかの状態にするスイッチ回路と、前記フューズビット記憶回路にプログラムされた前記回路動作状態を決めるビット情報を検出する検出制御回路と、を具備することを特徴とするリダンダンシ回路。

【請求項 4】 前記スイッチ回路は、前記差動増幅器からの出力を前記記憶回路が取り込んだ後、前記差動増幅器と前記記憶回路との間を遮断することを特徴とする請求項 1 乃至 3 のいずれか 1 つに記載のリダンダンシ回路。

【請求項 5】 前記第 1、第 2 の電気フューズの各々は第 1 の電極と第 2 の電極とを有し、前記第 1 の電極の各々はトランジスタを介在して第 1 の電源電圧端に接続されており、前記第 2 の電極の各々はトランジスタを介在して第 2 の電源電圧端に接続されていることを特徴とする請求項 1 または 3 に記載のリダンダンシ回路。

【請求項 6】 前記第 1、第 2 の電気フューズの各々は、キャパシタであることを特徴とする請求項 1 に記載

2

のリダンダンシ回路。

【請求項 7】 前記第 1、第 2 の電気アンチフューズの各々は、第 1 の電極、第 2 の電極、及び前記第 1 の電極と第 2 の電極との間に形成された絶縁膜を有し、前記第 1 の電極と第 2 の電極との間に前記所定レベル以上の電圧が印加されると、前記絶縁膜が破壊されて前記第 1 の電極と第 2 の電極との間の電気抵抗が低下する素子であることを特徴とする請求項 2 に記載のリダンダンシ回路。

10 【請求項 8】 前記第 1、第 2 の電気アンチフューズの各々は、キャパシタであることを特徴とする請求項 7 に記載のリダンダンシ回路。

【請求項 9】 前記第 1、第 2 の電気アンチフューズの各々は第 1 の電極と第 2 の電極とを有し、前記第 1 の電極の各々はトランジスタを介在して第 1 の電源電圧端に接続されており、前記第 2 の電極の各々はトランジスタを介在して第 2 の電源電圧端に接続されていることを特徴とする請求項 2 に記載のリダンダンシ回路。

20 【請求項 10】 前記回路動作状態を決めるビット情報は、リダンダンシ用のメモリセルのアドレスであることを特徴とする請求項 3 に記載のリダンダンシ回路。

【請求項 11】 前記第 1、第 2 の電気フューズの各々は、第 1 の電極、第 2 の電極、及び前記第 1 の電極と第 2 の電極との間に形成された絶縁膜を有し、前記第 1 の電極と第 2 の電極との間に前記所定レベル以上の電圧が印加されると、前記絶縁膜が破壊されて前記第 1 の電極と第 2 の電極との間の電気抵抗が低下するアンチフューズであることを特徴とする請求項 3 に記載のリダンダンシ回路。

【請求項 12】 前記アンチフューズは、キャパシタであることを特徴とする請求項 11 に記載のリダンダンシ回路。

【請求項 13】 各々が複数のメモリセルからなり、各々が共通のアドレスを持つ複数のバンクと、前記複数のバンクの各々に設けられ、前記バンク内のメモリセルに記憶されたデータが入出力される複数の I/O 端子とを持つ半導体メモリにおける不良アドレス検索方法において、

前記複数のバンクと前記複数の I/O 端子にとって共通のアドレスから複数のデータを読み出し、フェイルデータが記憶されたフェイルアドレスを検出するステップと、

検出した前記フェイルアドレスを与えて、このフェイルアドレスに相当する前記複数のバンクの各々のメモリセルからデータを読み出し、不良のメモリセルが存在するバンクと I/O 端子を特定するステップと、

を具備することを特徴とする不良アドレス検索方法。

【請求項 14】 前記フェイルアドレスを検出するステップを実行する前に、前記複数のバンク及び前記複数の I/O 端子に対して、いくつかのバンク及び I/O 端子

3

を1つと見なす縮約を行い、前記複数のバンク内のメモリセルに同一のデータを書き込むステップを、さらに具備することを特徴とする請求項13に記載の不良アドレス検索方法。

【請求項15】 前記共通のアドレスにより同時に読み出した複数のデータに対して、排他的論理和演算を行って1ビットのデータとして出力し、前記排他的論理和演算による出力データが“1”のとき、前記共通のアドレスをフェイルアドレスとして検出することを特徴とする請求項13に記載の不良アドレス検索方法。

【請求項16】 前記複数のバンクに対するデータの読み出しは、一単位として扱われる連続したデータの集まりであるバーストで転送されることを特徴とする請求項13に記載の不良アドレス検索方法。

【請求項17】 前記複数のバンク及び前記複数のI/O端子に対して、いくつかのバンク及びI/O端子を1つと見なす縮約を行い、前記バーストで一回で連続して転送されるデータ長を、縮約後のバンク数と縮約後のI/O端子数との積で表される長さとしたことを特徴とする請求項16に記載の不良アドレス検索方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、アンチフューズを用いたリダundancy回路及び半導体メモリにおける不良アドレス検索方法に関するものであり、特にリダundancy回路を備えた半導体メモリなどの集積回路に利用されるものである。

【0002】

【従来の技術】従来より、半導体メモリの製造には、良品歩留り向上のために、不良セルをスペアのセルに置き換えるリダundancyシステムが必須である。半導体チップ製造工程の最終段階で、テスト不良を発見した場合、レーザにより不良セルをスペアセルに置き換えるようにプログラムする。プログラム後の半導体チップをパッケージに封入する。そして、最終のテストを行った後、良品の半導体メモリが製品として出荷されるというのが今までの製造フローである。

【0003】しかし、パッケージ封入後のテストにおいて、2ビットの不良セルが生じることがある。この不良セルが、トータルの歩留りに与える影響は無視できない。このため、パッケージ封入後に発見された不良セルを、スペアセルに置き換えることができるプログラミング方法が望まれる。

【0004】また、高速仕様の半導体メモリにおいては、信号伝達の微妙なタイミングを、すべての仕様に対して充分マージンを持って生産することが難しくなっており、パッケージ封入後にタイミング調整を行うという方法がとられている。このため、パッケージ封入後の半導体メモリに対して、外部からプログラミングでタイミングを調整して、その後、永久的に固定することが望ま

4

れる。

【0005】これらの要望に答えるために、レーザではなく電気にて回路状態を永久的に変える手法として、電気フューズ方式を利用する方法がある。電気フューズ方式には、高電圧を与えて配線パターンを破壊し断線状態を形成する通常のヒューズと、高電圧を与えて配線間の絶縁膜に絶縁破壊を起こして導通状態を形成するアンチフューズがある。

【0006】以下に、一例として、アンチフューズを用いたリダundancy回路について説明する。

【0007】図1は、キャパシタからなるアンチフューズを用いたリダundancy回路の構成を示す回路図である。

【0008】このリダundancy回路は、高電圧を与えてキャパシタに絶縁破壊を起こし、キャパシタの抵抗をゼロに近づけたものと、絶縁破壊を起こしていないほとんど無限大の抵抗を持つキャパシタとの違いを利用してプログラム状態を形成する回路である。

【0009】図1に示すように、キャパシタC11の一端には、トランジスタTR11を介して電源電圧VDDが接続されている。キャパシタC11の他端には、トランジスタTR12を介して基準電位（接地電位）GNDが接続されている。さらに、キャパシタC11の一端とトランジスタTR11との間のノードには、ラッチ回路LH11が接続されている。

【0010】図1に示す回路では、アンチフューズとしてのキャパシタC11が絶縁破壊されている場合、キャパシタC11の抵抗がゼロに近くなることにより、ラッチ回路LH11の入力となるノードが接地レベルに近くなる。一方、キャパシタC11が絶縁破壊されていない場合には、キャパシタC11の抵抗がほとんど無限大であることにより、ラッチ回路LH11の入力となるノードが電源レベルに近くなる。このように、キャパシタC11が絶縁破壊されているか否かで、ラッチ回路LH11に保持される状態が異なる。この構成例は、フューズ素子の抵抗の差から生じる電圧レベルの差を、ラッチ回路LH11への入力に、直接、用いる方法である。

【0011】

【発明が解決しようとする課題】しかしながら、この方法では、アンチフューズの破壊時と非破壊時の抵抗差が小さくないと、ラッチ回路にラッチされる“1”、“0”を確実に作ることができない。すなわち、電気フューズ方式を用いたリダundancy回路では、高電圧印加によるフューズの破壊状態がばらつくため、フューズによって形成されたフューズプログラム状態を正確に判定できないという問題がある。

【0012】そこでこの発明は、前記課題に鑑みてなされたものであり、フューズの破壊状態のばらつきによらず、フューズプログラム状態が正確に判定できるリダundancy回路を提供することを目的とする。

5

【0013】さらに、この発明は、前記リダンダンシ回路にフューズプログラム状態を記憶させるために必要な不良アドレスの特定を、効率良く行うことができる不良アドレス検索方法を提供することを目的とする。

【0014】

【課題を解決するための手段】前記目的を達成するために、本発明を第1の側面から見たリダンダンシ回路は、所定レベル以上の電圧を印加すると電流特性が変化する第1、第2の電気フューズと、前記第1、第2の電気フューズの各々の電流特性の違いに依存した2つの信号電圧を受け取り、これら信号電圧の差を増幅して出力する差動増幅器と、前記差動増幅器からの出力を記憶する記憶回路と、前記差動増幅器と前記記憶回路との間を接続状態あるいは遮断状態のいずれかの状態にするスイッチ回路とを具備することを特徴とする。

【0015】前記目的を達成するために、本発明を第2の側面から見たリダンダンシ回路は、所定レベル以上の電圧を印加するとリーク電流特性が変化する第1、第2の電気アンチフューズと、前記第1、第2の電気アンチフューズの各々のリーク電流特性の違いに依存した2つの信号電圧を受け取り、これら信号電圧の差を増幅して出力する差動増幅器と、前記差動増幅器からの出力を記憶する記憶回路と、前記差動増幅器と前記記憶回路との間を接続状態あるいは遮断状態のいずれかの状態にするスイッチ回路とを具備することを特徴とする。

【0016】前記目的を達成するために、本発明を第3の側面から見たリダンダンシ回路は、一対の電気フューズを有し、回路動作状態を決めるビット情報を記憶するフューズビット記憶回路と、前記一対の電気フューズのうちの一方に、所定レベル以上の電圧を印加して前記一対の電気フューズの各々の電流特性にアンバランスを作り、前記回路動作状態を決めるビット情報を前記フューズビット記憶回路にプログラムするプログラム制御回路と、前記一対の電気フューズの各々の出力を受け取り、前記電流特性のアンバランス状態を増幅する差動増幅器と、前記差動増幅器からの出力を記憶する記憶回路と、前記差動増幅器と前記記憶回路との間を、接続状態あるいは遮断状態のいずれかの状態にするスイッチ回路と、前記フューズビット記憶回路にプログラムされた前記回路動作状態を決めるビット情報を検出する検出制御回路とを具備することを特徴とする。

【0017】以上のように構成されたリダンダンシ回路では、前記一対の第1、第2の電気フューズのうちのいずれか一方に、あるレベル以上の電圧を印加して前記第1、第2の電気フューズの各々の電流特性にアンバランスを作り、前記アンバランスを前記差動増幅器により検出する。これにより、前記第1、第2の電気フューズの破壊状態のばらつきによらず、前記第1、第2の電気フューズによるプログラム状態が正確に判定できる。

【0018】前記目的を達成するために、本発明を第4

6

の側面から見た不良アドレス検索方法は、各々が複数のメモリセルからなり、各々が共通のアドレスを持つ複数のバンクと、前記複数のバンクの各々に設けられ、前記バンク内のメモリセルに記憶されたデータが入出力される複数のI/O端子とを持つ半導体メモリにおける不良アドレス検索方法であって、前記複数のバンクと前記複数のI/O端子とによって共通のアドレスから複数のデータを読み出し、フェイルデータが記憶されたフェイルアドレスを検出するステップと、検出した前記フェイルアドレスを与えて、このフェイルアドレスに相当する前記複数のバンクの各々のメモリセルからデータを読み出し、不良のメモリセルが存在するバンクとI/O端子を特定するステップとを具備することを特徴とする。

【0019】以上のように構成された不良アドレス検索方法では、前記複数のバンクと前記複数のI/O端子とによって共通のアドレスから複数のデータを読み出して演算を行い、演算結果からフェイルアドレスを検出して、不良のメモリセルが存在するバンクとI/O端子を特定する。これにより、リダンダンシ回路にフューズプログラム状態を記憶させるために必要な不良アドレスの特定を、効率良く行うことができる。

【0020】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態について説明する。説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0021】この発明は、電気にて回路状態を永久的に変える電気フューズ、例えば通常のフューズまたはアンチフューズのいずれを用いたリダンダンシ回路にも適用することができる。通常のフューズは、高電圧を与えて配線パターンを破壊し、断線状態を形成するものである。アンチフューズは、高電圧を与えて配線間の絶縁膜に絶縁破壊を起こし、導通状態を形成するものである。

【0022】〔第1の実施の形態〕まず、この発明の第1の実施の形態として、アンチフューズのプログラムと状態検出について説明する。

【0023】図2は、第1の実施の形態の基本的なアンチフューズとその状態検出回路の構成を示す回路図である。

【0024】図2に示すように、アンチフューズとその状態検出回路は、アンチフューズとしてのキャパシタC1、C2、コンパレータ11、nチャネルMOSトランジスタTR1～TR4を有し構成されている。

【0025】前記キャパシタC1の一端には、トランジスタTR1の電流通路の一端が接続されている。このトランジスタTR1の電流通路の他端には、電源電圧VDDが接続されている。キャパシタC1の他端には、トランジスタTR2の電流通路の一端が接続されている。このトランジスタTR2の電流通路の他端には、基準電位（例えば接地電位）GNDが接続されている。

【0026】前記キャパシタC2の一端には、トランジ

7

スタTR3の電流通路の一端が接続されている。このトランジスタTR3の電流通路の他端には電源電圧VDDが接続されている。キャパシタC2の他端には、トランジスタTR4の電流通路の一端が接続されている。このトランジスタTR4の電流通路の他端には、基準電位（例えば接地電位）GNDが接続されている。

【0027】さらに、前記キャパシタC1の一端とキャパシタC2の一端との間には、コンパレータ11が接続されている。

【0028】前述したアンチフューズとその状態検出回路を有するヒューズユニットは、2つのアンチフューズであるキャパシタC1、C2の出力をコンパレータ11で比較する構成である。このヒューズユニットひとつで、リダuncanシアドレスなどの1ビットの情報をプログラムする。

【0029】図2に示すように構成された回路において、コンパレータ11で出力を比較する2つのキャパシタC1、C2の一方のみに、高電圧などのストレスをかけてキャパシタに絶縁破壊を起こさせる。この破壊は、完全な破壊でなくてもよく、わずかにリーク電流を増やすようなものであればよい。すなわち、2つのアンチフューズ（キャパシタC1、C2）の間で、ストレスをかけた場合と、かけない場合の違いをコンパレータ11で検出できる程度の電位レベルの差が生じればよい。

【0030】キャパシタC1、C2において、ストレスをかける方をキャパシタC2にするかキャパシタC1にするかで、このフューズユニットのプログラム状態を、“0”にするか、“1”にするかを表すことができる。

【0031】以上により、アンチフューズ（キャパシタC1またはC2）に抵抗がゼロに近くなるまでの破壊に至るような強烈なストレスをかけなくても、フューズをプログラムでき、ストレスによる破壊状態のバラツキに対しても安定したプログラムが可能となる。

【0032】次に、アンチフューズとその状態検出回路を有する前記フューズユニットのシステムについて説明する。

【0033】図3は、フューズユニットのシステム構成を示すブロック図である。

【0034】図3に示すように、アンチフューズ回路f0、f1には、コンパレータ11が接続され、このコンパレータ11にはラッチ回路12が接続されている。また、アンチフューズ回路f0、f1には、プログラム制御回路(Programming Control Circuit)13と検出制御回路(Fuse-Enable-Control Circuit)14が接続されている。前記ラッチ回路12には、検出制御回路14が接続されている。

【0035】図3に示すフューズユニットの動作は以下のようになる。

【0036】前記アンチフューズ回路f0、f1の出力をコンパレータ11で比較する。コンパレータ11の比

8

較結果に応じた出力をラッチ回路12で保持する。プログラム制御回路13は、アンチフューズ回路f0、f1をプログラムするための回路である。検出制御回路14は、アンチフューズ回路f0、f1をプログラムした結果を検出するための制御を行う回路である。そして、ラッチ回路12の出力0out、1outの状態を、リダuncanシアドレス制御に利用する。

【0037】図4は、図3に示したブロック図中のアンチフューズ回路f0、f1、コンパレータ11、及びラッチ回路12の具体的な回路図である。

【0038】フューズe-fuse0及びe-fuse1は、キャパシタのようにストレスをかけると劣化してリーク電流が増すような素子からなる。このフューズe-fuse0は、リーク電流量を0と1で比較するために、リーク電流量を電圧に変換するためのnチャネルMOSトランジスタTR1、TR2をそれぞれに介して、電源電圧VDDと接地電位GNDとの間に設けられている。同様に、フューズe-fuse1も、リーク電流量を0と1で比較するために、電圧に変換するのにnチャネルMOSトランジスタTR3、TR4をそれぞれに介して、電源電圧VDDと接地電位GNDとの間に設けられている。

【0039】アンチフューズ回路f0、f1において、リーク電流量を比べるときには、電源電圧VDD側、接地電位GND側のいずれのトランジスタTR1～TR4もオンとなる。そして、フューズe-fuse0、e-fuse1のリーク電流量に依存した電圧レベルがコンパレータ11への入力レベルとして発生する。

【0040】電源電圧側のトランジスタTR1、TR3のゲートには、信号FWが入力され、接地電位側のトランジスタTR2、TR4のゲートには信号/PRGが入力される。信号FWは、フューズe-fuse0、e-fuse1の状態をコンパレータ11が比較してラッチする期間で“H”となる。信号/PRGは、フューズe-fuse0、e-fuse1にプログラム時にストレスをかけるときのみ、“L”となる。

【0041】コンパレータ11は、トランジスタTR5、TR6を有する差動型の増幅器である。さらに、コンパレータ11は、信号Vbiasをゲート入力とした、一定電流を流すためのトランジスタTR7と、信号FON1が“H”のときのみ、コンパレータ11を働かせるスイッチの役目をするトランジスタTR8を接地側に有し、さらにバストラジスタPT1、PT2を有する。

【0042】ラッチ回路12は、トランジスタTR9～TR12、及びトランジスタTR13、TR14、さらにコンパレータ11との間を接続状態あるいは遮断状態にスイッチングするトランジスタTR15、TR16を有する。

【0043】図4に示すように構成された回路の動作は以下のようになる。コンパレータ11により、アンチフューズ回路f0、f1の状態が比較され増幅される。こ

9

の増幅結果は、コンパレータ 11 から出力され、ラッチ回路 12 に取り込まれる。このとき、コンパレータ 11 とラッチ回路 12 は、信号/FON3 をゲート入力とするトランジスタ TR15、TR16 でスイッチされている。コンパレータ 11 からのデータをラッチ回路 12 が取り込んだ後は、信号/FON3 が“L”となり、コンパレータ 11 とラッチ回路 12 との間が遮断される。

【0044】ラッチ回路 12 は、ダイナミックラッチ回路であり、コンパレータ 11 からの出力を増幅しつつ、信号 FON2 が“H”で/FON2 が“L”のとき、前記コンパレータの出力をラッチする。このとき、ラッチされた電源電圧レベルと接地電位レベルの出力が、0out と 1out となる。

【0045】次に、図 4 に示した回路を制御するための信号を発生する検出制御回路 14 について説明する。

【0046】図 5 (a)、図 5 (b)、及び図 5 (c) は、図 3 中の検出制御回路 14 の具体的な構成を示す回路図である。

【0047】図 5 (a) に示すように、検出制御回路 14 には信号 PWON と信号 ENBL が入力され、この検出制御回路 14 からは信号 FON1、FON2、FON3、及び信号 FW が出力される。

【0048】図 5 (b)、図 5 (c) を用いて、前記検出制御回路 14 の詳細な回路を説明する。図 5 (b) に示すように、AND 回路 AD1 には、信号 PWON と信号 ENBL が入力される。この AND 回路 AD1 の出力信号 FON0 は、遅延回路 DL1 にて遅延され、信号 FON1 が出力される。また、信号 FON1 は、インバータ IV1 にて反転され、信号 FON1 の相補信号/FON1 が出力される。

【0049】さらに、信号 FON1 は、遅延回路 DL2 にて遅延され、信号 FON2 が出力される。信号 FON2 は、インバータ IV2 にて反転され、信号 FON2 の相補信号/FON2 が出力される。

【0050】さらに、信号 FON2 は、遅延回路 DL3 にて遅延され、信号 FON3 が出力される。信号 FON3 は、インバータ IV3 にて反転され、信号 FON3 の相補信号/FON3 が出力される。

【0051】また、図 5 (c) に示すように、AND 回路 AD2 には、信号 FON3 と信号 FON0 が入力される。この AND 回路 AD2 の出力信号は、NOR 回路 NR1 の第 1 端子に入力され、信号 ENBL の相補信号/ENBL は、NOR 回路 NR1 の第 2 端子に入力される。そして、NOR 回路 NR1 から信号 FW が出力される。

【0052】前記検出制御回路 14 の動作は以下のようになる。

【0053】フューズ e-fuse のプログラム状態の検出は、デバイスチップの電源立ち上げ時に行われる。このため、電源がある程度安定してから立ち上がるように発

10

生する信号 PWON を、時間的な起点としてプログラム状態の検出が開始される。信号 ENBL は、このビットを検出してリダンダンシ情報として用いる場合に“H”となる信号である。よって、信号 PWON と信号 ENBL がともに“H”になったとき、始めて検出制御回路 14 が動き出すことになる。

【0054】前記検出制御回路 14 では、前述したように、信号 FON0 が遅延回路 DL1 を経て信号 FON1 とその相補信号/FON1 を発生させる。この信号 FON1 が遅延回路 DL2 を経て信号 FON2 とその相補信号/FON2 を発生させる。さらに、信号 FON2 が遅延回路 DL3 を経て信号 FON3 とその相補信号/FON3 を発生させる。

【0055】信号 FW は、信号 ENBL が“H”となり、信号 FON0 及び信号 FON3 が立ち上がる以前は“H”であり、このとき、フューズ e-fuse0、e-fuse1 の情報がコンパレータ 11 に出力されるようになっている。その後、信号 FON3 が立ち上がりコンパレータ 11 とラッチ回路 12 が切り離されると、信号 FW は“L”になり、コンパレータ 11 への入力が接地レベルになるようにしている。これにより、以後、コンパレータ 11 では、電流が流れず電力消費はない。

【0056】前述した図 3 に示すフューズユニットから、リダンダンシアドレスを検出するフューズシステムを作るには、アドレスを構成する各ビットに対して 1 フューズユニットずつ必要である。さらに、フューズの各ビットは必ず“0”か“1”を表すので、フューズシステムがアドレスを設定しない場合を表すビットが必要である。これらを備えたフューズシステムの例を、図 6 を用いて説明する。

【0057】図 6 は、前記フューズシステムの構成を示すブロック図である。この図中では、プログラム制御回路 13 を“P. C.”で示し、検出制御回路 14 を“F. E. C.”で、さらにラッチ回路 12 及びコンパレータ 11 (ユニット a0~a3) を“L&C”にて示している。図中には、アンチフューズ回路 f0、f1 を一組示したが、ユニット a0~a3 の各々にアンチフューズ回路 f0、f1 を一組ずつ設けてもよい。

【0058】リダンダンシを使用することになる不良アドレスのビットは、ユニット a0 からのビットで表される。これらのフューズビットが、アドレスを表すのに使われているか否かを決定するビットがユニット e0 と e1 である。ユニット e0 と e1 にともに“1”がプログラムされ、AND 回路 AD3 から“H”が出力された場合のみ、ユニット a0 以降のビットが有効になるようになっている。その他の場合には、ユニット a0 以降のユニットはプログラム検出動作も行わず、動作に伴う電力消費を無くしている。

【0059】フューズシステムが有効の場合は、外部から与えられたアドレスビット Add と、ユニット a0、a

11

1、…に記憶された不良アドレスのビットとが比較される。そして、この比較結果に応じて、スベアノーマルスイッチ回路15でリダンダンシを選択するパスRDに行くか、リダンダンシを選択しないパスNorに行くかの振り分けが行われる。

【0060】図6に示すフューズシステムのビットごとの検出は、ユニットe0からシリアルにビットごとに行われる。まず、電源が投入されると、図5(a)～図5(c)で説明した検出制御回路14がユニットe0のビットを確定する。次に、次段の検出制御回路14は、前段の検出制御回路14の出力を受けてユニットe1の出力を確定する。この時点で、ユニットe0とe1の出力の論理積がAND回路AD3にて取られ、このAND回路AD3の出力でユニットa0以降の検出制御回路14を駆動する。このため、ラッチ回路及びコンパレータe0またはe1の一方でも“0”であれば、ユニットa0以降の検出動作は行われな

ない。このときには、スベアノーマルスイッチ回路15では、パスNorが常に選択される。一方、ユニットe0とe1がともに“1”であれば、ラッチ回路及びコンパレータa0以降のビットについて順次、検出と確定が行われて不良アドレスビットが確定する。

【0061】次に、フューズシステムのプログラム方法について説明する。

【0062】図2では、コンパレータの入力となるアンチフューズ回路f0、f1はひとつのキャパシタから構成されているが、セルキャパシタを用いると、図6のフューズシステムの全てのビットごとのキャパシタをセルアレイとして構成できる。

【0063】図7は、図4に示したアンチフューズ回路f0、f1をセルアレイとして構成した回路図である。このアレイから構成されるアンチフューズ回路f0とf1は、図6に示したように、全てのフューズユニットで共有して使われる。セルキャパシタアレイのワード線トランスファゲートトランジスタに相当する部分に、例えば図6のユニットe0、e1、a0、a1、…などのビットに対応するアドレス(トランスファゲートトランジスタ)A<sub>0</sub>、A<sub>1</sub>、…、B<sub>0</sub>、B<sub>1</sub>、…を設定する。このようなセルアレイにおいて、キャパシタCA0、CA1、…、CB0、CB1、…をアンチフューズとして用い、これをプログラムしたり、検出したりする

ときに対応するユニットiがプログラムなり検出を行っているのに同期し、A<sub>i</sub>かB<sub>i</sub>、または両方を選択してやればよい。

【0064】プログラムのときはどちらかが選択されることによって、それぞれのユニットに対してフューズf0またはf1にストレスがかけられる。検出のときは、A<sub>i</sub>とB<sub>i</sub>の両方を選択することによって、それぞれのユニットに対して、それぞれのコンパレータ入力を得ることができる。

12

【0065】信号PRGは、プログラムのモードで“H”となる信号で、信号/PRGはその相補信号である。ここで例えば、アンチフューズ回路f0またはf1に大きなストレスをかけるため、信号/PRGが入力されるpチャネルトランジスタTR21、TR22は、電源電圧より高い内部電圧に接続される。信号PRGが入力されるnチャネルトランジスタTR23、TR24は、接地レベルよりも低い内部電源に接続される。

【0066】図8(a)、図8(b)は、図3と図6に示されているアンチフューズ回路f0、f1をプログラムするためのプログラム制御回路13の回路図である。

【0067】このプログラム制御回路13の働きは、前述したA<sub>i</sub>とB<sub>i</sub>を発生するものである。信号/PRGはOR回路OR1の第1端子に入力され、信号0setはOR回路OR1の第2端子に入力される。さらに、OR回路OR1の出力はAND回路AD4の第1端子に入力され、信号Add<sub>i</sub>はAND回路AD4の第2端子に入力される。そして、AND回路AD4からは、トランスファゲートトランジスタA<sub>i</sub>のゲートに供給される信号が出力される。

【0068】また、信号/PRGはOR回路OR2の第1端子に入力され、信号1setはOR回路OR2の第2端子に入力される。さらに、OR回路OR2の出力はAND回路AD5の第1端子に入力され、信号Add<sub>i</sub>はAND回路AD5の第2端子に入力される。そして、AND回路AD5からは、トランスファゲートトランジスタB<sub>i</sub>のゲートに供給される信号が出力される。

【0069】信号Add<sub>i</sub>は図6のビットユニット位置に対応する信号であり、そのユニットに“0”をセットするときは信号0setが“H”で信号1setが“L”となる。また、“1”をセットしたいときには、信号u<sub>set</sub>が“L”で信号1setが“H”となる。

【0070】検出のときは、信号/PRGが“H”であるため、対応するA<sub>i</sub>とB<sub>i</sub>がともに立ち、図7のストレス電源からはアンチフューズとなるキャパシタ列は切り離される。この際、図5(a)～図5(c)の信号ENBLに信号/PRGを入れて置けば、プログラムモードで図4の信号FWの入ったトランジスタがオンして、高い内部電圧と電源が導通することはない。

【0071】このフューズシステムは、リダンダンシを利用する、あるいは利用しないに関わりなく、フューズをプログラムする必要がある。また、リダンダンシを使う割合が少ないときにも、誤ってリダンダンシを使っていると誤判断されないようなビット構成として、フューズシステムの使用/不使用の判定ビットをユニットe0、e1のように2ビット以上設けて、論理積(AND)でビットが成立するときのみ、使用中との判断をしている。偶然に、論理積でビットが成立することは少ないことを利用したものである。もちろん、論理積成立を利用側に使うか、利用しない側に使うかはリダンダンシ



13

システムの使われ方によるが、ここの例では利用側に設定した。また、論理積でない、一定のビットパターンを用いてもよい。

【0072】図9は、アンチフューズ回路 f 0、f 1 のプログラムの信号状態を、ここでの実施形態に従って示した図である。

【0073】fuse bit 選択クロックの立ち上がり同期して、アンチフューズとしてのメモリセルアレイのトランスファゲート A<sub>i</sub>、または B<sub>i</sub> が選択されるように、選択アドレス信号 Add<sub>e0</sub>、Add<sub>e1</sub>、Add<sub>a0</sub>、Add<sub>a1</sub>、…などが与えられる。また、この信号とともに、fuse bit 状態設定信号である図 8 (a)、図 8 (b) の信号 1 set、0 set (／1 set) が与えられる。図 9 には、1 set が与えられた場合を示している。

【0074】また、リダンダンシとしてフューズを利用する場合は、ユニット e 0、e 1 に“1”をプログラムして、不良アドレスビットを a 0 以降のユニットにシリアルにプログラムする。一方、リダンダンシを使わないときは、ユニット e 0 または e 1 のいずれかが“0”であればよい。この図 9 の例では、ユニット e 0 に“0”をプログラムしている。その他のユニットの状態はいつでもよい。

【0075】なお、図 6 などでユニット a 0 以降のビットは不良アドレスのビットとして記述されているが、回路のセットアップやホールドなどの微妙なタイミングの調節のためのビット情報などとして用いてもよい。

【0076】以上説明したようにこの第 1 の実施の形態によれば、電気フューズの破壊状態のばらつきによらず、フューズプログラム状態が正確に判定できる。さらに、アンチフューズを付加的なプロセスを用いることなく作り込め、信頼性が高いリダンダンシ回路を利用できる。

【0077】さらに、この発明は、DRAM 製造に使われるプロセスに付加的なプロセスを追加することなく、DRAM が持つ素子を用いたアンチフューズを利用することにより、安定したフューズプログラム状態が判定できる。

【0078】特に DRAM においては、メモリセルがキャパシタを有しているのでこのキャパシタをアンチフューズとして利用すれば、アンチフューズを作る余分なプロセスを必要とせずアンチフューズを構成できる。もちろん、絶縁破壊によって抵抗が低くできる構成のものなら、キャパシタ以外でも利用できる。

【0079】しかし、アンチフューズとして DRAM のセルなどの素子を用いる場合、DRAM の素子は信頼性を向上させるため、高い電圧などをかけても絶縁膜が劣化しない様に製造プロセスを改善していく。したがって、アンチフューズとして DRAM の素子を用いた場合、絶縁膜が壊れ難くなるので、破壊時と非破壊時での

14

抵抗差を大きく取れないことになり、好ましくない。特に、製造プロセスが安定し、最後の 1、2 ビットの不良セルを救済するのに威力を発揮する電気フューズによって逆行する特性となる。

【0080】そこで、DRAM に使われるプロセスに余分なプロセスを付加して、アンチフューズ用の素子を作り込む必要が出てくる。しかし、これはプロセスコストを引き上げることになり、リダンダンシの効果をコスト的に低減してしまう。このように、電気フューズにおいて破壊時と非破壊時とで、抵抗差を大きく取れないような場合に、この第 1 の実施の形態は特に有効である。

【0081】〔第 2 の実施の形態〕さて、以上のようなアンチフューズシステムの大きな目的のひとつは、デバイスチップをパッケージにアセンブリした後の少量ビット（例えば 1、2 ビット）の不良救済を行い、良品歩留りを向上させて良品の製造コストを下げることである。従来のレーザにて熔断するフューズの場合には、アセンブリした後ではフューズシステムを使えないため、第 1 の実施の形態のアンチフューズシステムは非常に有用である。

【0082】また、記憶容量の大きなデバイスの場合には、不良アドレスの検出に多くの時間を必要とする。このような場合、時間当たりで製造できる良品率が減るので、製造コストが上がってしまう。従って、アセンブリ後の 1、2 ビットの不良アドレスを効率的に検出できる方法を、合わせて考えておく必要がある。

【0083】図 10 は、前述したフューズ e-fuse を用いる良品取得検査システムにおいて、本発明のデータ縮約不良アドレス検索方法が用いられる作業部分を示す図である。

【0084】リダンダンシを用いるときは、常に不良アドレスを特定する必要がある。テスト時間短縮のために、データ縮約またはデータ圧縮を用いたテストで不良をみつけ、その後、縮約または圧縮を解いて不良の実アドレスを検索する必要がある。この不良アドレス検索に、この発明の第 2 の実施の形態のデータ縮約不良アドレス検索方法が用いられる。

【0085】具体的には、ウェハのダイソート (D/S) 時にレーザを用いたリダンダンシで、良品にできるものとできないものを選び分けるとき (S11) に前記検索方法が用いられる。さらに、前記ダイソート時の検査をパスした完全良品をアセンブリした後、信頼性テストなどで 1、2 ビットの不良やタイミング調整などが必要になったものについて、フューズ e-fuse で救済できる不良アドレスを特定するとき (S13) に用いられる。また、レーザによるリペアによってリダンダンシ後の動作テスト (S12) をパスしたものをアセンブリした後、信頼性テストなどで 1、2 ビットの不良やタイミング調整などが必要になったものについて、フューズ e-fuse で救済できる不良アドレスを特定するとき (S1



3) に用いられる。

【0086】データ縮約GO/NOGOでは、不良アドレスを特定する必要はなく、不良があるものはただちに捨てられる。これらの工程で、データ縮約から縮約を解いて、如何に短時間で不良アドレスを検索するかが焦点となる。

【0087】次に、この発明の第2の実施の形態として、アンチフューズ回路 f0、f1 にプログラムするために必要な不良アドレスの特定を行う不良アドレスの検索方法について説明する。

【0088】データ縮約に関し、今まで、メモリチップの同時読み出しのビット幅を縮約して同時に測定できるチップ数を増やし、一定の時間内にテストできるチップ数を増やす工夫はなされてきた。すなわち、チップと並列にデータをやり取りする I/O 数を縮約して同時に測定できるチップ数を増やし、テスト時に同時にデータ転送できるチップ数を増やしてきた。

【0089】データ大容量のメモリチップに対して、更にテスト時間の短縮を行うには、チップ自体をより小さな容量のチップの集合体と見て、チップ当たりのテスト時間をメモリチップの容量増加に対して抑える必要がある。また、不良を生じた具体的な場所を特定することも、アセンブリ後のリダンダンシ置き換え技術などが確立してくると重要になる。

【0090】ここではこれらの事情に鑑み、縮約テストでデータ縮約を行うとき、バースト長とバンク数と縮約する I/O 数とを考え合わせて、最もデータ転送効率の上がる方式を探す。また、縮約テストと組み合わせて、不良となった特定セルの番地を検索する方式を考える。

【0091】具体的な前提として、クロック周期は 100 MHz で、DDR (Double Data Rate) であると想定する。また、チップ内のデータバスの信号線本数は、縮約テストのために特に増加させないですむ方法を考える。これは、これらのテストのために、チップコストが増加しないことを前提とするためである。

【0092】以下に、チップ内部のデータ転送バスの本数を、縮約テストモードのために特に変えないという条件で、どのような縮約方法が可能かを考察する。縮約する I/O 数を i (i 個の I/O ピンに同じデータを書き込んだ後、これらを読み出し、読み出したデータの排他的論理和 (EOR) をとって 1 つのデータとする)、縮約するバンク数を b (I/O 縮約と同じ意味で、b 個のバンクが同時に動作し、あたかも 1 つのバンクのように動作する) とし、さらにデータのバースト長を B とする。

【0093】不良アドレスの検索方法として、縮約したデータは後でバーストアクセスでサーチできるようにして、不良アドレスの検索の高速化を実現するという手法を提案する。しかし、この手法では、縮約テストを使う範囲が限定されることになる。この事情を以下に説明す

る。

【0094】縮約したデータは、どのデータが期待値と異なるかを検索するのに、SDRAM のバースト長の中にデータを順にならべて出力し、検索するようにしたのがこの第2の実施の形態である。しかし、不良アドレスをバースト長 B 内で縮約を解くことができるように構成すると、 $b \cdot i = B$  という関係を満たす必要がある。なお、前述したように、b は縮約するバンク数、i は縮約する I/O 数である。

【0095】一方、本来は異なるバンクが同時にデータを転送することが無く、同一バスを時分割して使っていたが、チップ内部のバス本数を変化させずに縮約データを並列に転送するには、縮約バンクでは複数のバスを並列に使用する必要がある。このため、縮約した I/O ピンで空いたバスを利用して  $b \leq i$  としなければ、バス本数を増加させなければならない。従って、縮約数とバースト長の関係は、

$$b \cdot b \leq B \leq i \cdot i$$

となる。

【0096】SDRAM でのバースト長 B は 4 か 8 であるため、以下の表 1 に示す 4 つの縮約方法が、バス本数を縮約テストモードのために変更しない場合の候補となる。

【0097】

【表 1】

B	4		8	
b	1	2	1	2
i	4	2	8	4

【0098】縮約するバンク数 b を大きくとればチップの I/O ピン数をテストモードで減らすことはできないが、並列転送データが増えるので、1 チップ当たりのテスト時間を短縮できる。一方、縮約する I/O ピン数 i を大きくとれば、チップの I/O ピン数を減らせるが、1 チップをテストする時間は変わらない。すなわち、単位時間当たりにテストできるチップ数は、1 チップのテスト時間を減らすか、同時にテストできるチップ数を増やすかの方法が変わるのみで変化はしない。

【0099】次に、データの転送効率を考えるために、バンクのインターリーブとバースト長との関係について述べる。

【0100】図 11 は、バースト長 4 でバンクインターリーブがない場合とある場合を示す図である。

【0101】ここでは、tRCD が 2、CL が 2 の DDR 出力であると仮定する。前記 tRCD は、同一バンク内の行アドレス R 入力後、カラムアドレス C の入力が可能となる最小のサイクル数を示す。前記 CL は、カラムアドレス C 入力からそのデータが出力されるまでのサイクル数を示す。図 11 中の A はバンクインターリーブを

17

使わない場合、Bはバンクインターリーブを使った場合である。R aは同一バンク内の行アドレスを示し、C aはバーストの先頭列アドレスを示す。

【0102】図12は、同様にバースト長8でバンクインターリーブがない場合とある場合を示す図である。

【0103】排他的論理和演算(XOR)を用いてデータを縮約して、得られた出力であると仮定して示している。フェイルがないとして“L”が出力される。Aでは同一バンクをアクセスする場合に相当するので、R\*

	インターリーブ	縮約しないとき	縮約したとき
バースト4	無(図11中のA)	8/12=0.67	—
	有(図11中のB)	16/14=1.14	16×4/14=4.57
バースト8	無(図12中のA)	16/16=1	—
	有(図12中のB)	32/16=2	32×8/16=16

【0106】この表2では、表中の分数において、分母にサイクル数を取り、分子に転送されるデータのビット数をとっている。このように、分母のサイクル数の間に、何ビットのデータが転送されるかを分子にして、1サイクル当たりに転送されるデータビット数を計算している。また、4バンク構成のSDRAMであれば、バンクを縮約しても最低2バンク構成となり、バンクインターリーブが可能であることから、インターリーブ有りの場合のみ、縮約した場合の転送量を示している。また、縮約量は、後でバースト内で縮約を解くことができるように、当然、バースト長分に等しい。

【0107】当然ながら、バースト長を8にしてやると、バーストサイクル間にデータの無いサイクルができないので縮約の効果は大きい。バースト長が4では、バースト間にサイクルのギャップができるために縮約効率は悪くなる。

【0108】I/O数が4、8、16、32などの異なる製品でも同一のチップを流用して作るので、最小I/O数の製品に対しても縮約ができる方式を考えることが必要である。I/O数が4、バースト長が8の場合を考えると、b=2、i=4の条件を満たす縮約方法として考えればよい。無論、選択の観点を変更すれば、これがベストの選択でない場合もあることは当然である。

【0109】以下に、バンクを2つ縮約し、I/Oピンを4つ縮約する場合の、バンクとI/Oピンの縮約を混合する方法について考察する。

【0110】図13(a)、図13(b)、図13(c)に示すような、I/O数が4つ、バンクが2つのSDRAMの基本的な構成要素の場合について、縮約テストモードとサーチモードについて説明する。SDRAMのバンク数は、通常、4であるから、そのうちの縮約される2バンクについて見ているわけである。

【0111】図13(a)に示すように、ノーマルな動作の場合、DQ0、DQ1、DQ2、DQ3の4つのDQピンに向かう4本のデータバスにバンクAとバンクB

18

\* aなどは同一バンク内の行アドレス、C aは対応する行のバーストの先頭列アドレスを示す。Bでは2バンクをインターリーブして使うので、バンクを区別するために1と2の添字をさらに加えている。

【0104】1ピン当たりの1サイクルでのデータ転送量を比べると、以下の表2に示すようになる。

【0105】

【表2】

から、各々I/Oピンの0～3のデータが転送される。このとき、バンクAとバンクBは、同時にデータ転送を行うことはない。このため、同じI/Oピンが共通のバスに接続される。バースト期間中は、バンクAとバンクBのいずれか一方のバンクからデータが転送される。

【0112】図13(b)に示すように、縮約テストのときはバンクA、Bの各々の4つのI/Oピンから出力されるデータをまとめて排他的論理和(XOR)を取り、1ビットのデータとして出力する。しかし、バンクA、バンクBは、通常動作時は独立に動作するので独立したセルアレイとして構成されているのが普通であり、直接、バンクA、B間のデータ縮約を行うことができない。I/Oピンは、各々のバンクが持っているものであるから、バンク内で縮約してXORをとることができる。

【0113】従って、バンクAとバンクBの各々のI/O縮約によって得られたデータ(縮約データ)は、バスを介して転送され、チップ外への転送用のDQピンであるDQ0の直前で論理和(OR)が取られる。これにより、各々のバンク内の縮約データのXORの状態をモニタできるデータがDQ0から出力されることになる。すなわち、バンクA、Bのいずれかの縮約データに不一致があれば、“1”が出力される。

【0114】このとき、データのバースト転送は、両バンクA、Bで同時に進行する。縮約テストのバーストで“1”が出力されて、データ内にフェイルデータが有ることが分かった場合、そのフェイルデータが存在するバンクとI/Oピンを特定することができれば、他のアドレス情報は縮約されていないので、チップ全体のテストや不良解析などのほとんどを、縮約テストを用いて行うことができるようになる。

【0115】図13(c)は、縮約したデータの各々を検索するサーチモードにおけるI/Oピンの切替えを示す図である。サーチモードでは、縮約テストでフェイルしたアドレスを与えてやると、そのアドレスにより発生

19

するバーストデータがI/O順、及びバンク順に出力される。そのときのI/Oピンのデータバスへの接続切替えの一例が図13(c)に示されている。

【0116】まず、バンクAで、I/Oピンの0~3をひとつのデータバス線を使ってシリアルに出力する。続けて、前記データバス線をバンクB側に切り替え、バンクBにおけるI/Oピンの0~3をデータバス線を使って出力し、バーストの8ビットを構成する。

【0117】なお、図13(b)で示されている縮約ではデータバス2本が使われているが、これは4バンク構成のうちの2バンクのみについて説明しているからである。実際には、4バンクで図13(a)に示した4本のデータバス線の全てを使い切っている。

【0118】図14に、縮約テストモードとサーチモードを組み合わせてテストする場合の1例を示す。Tが付いたサイクルでは、縮約テストのバーストの行アドレスを与える。図13(b)にて縮約された2つのバンクAとバンクBをまとめて添え字の1で表し、また同様に縮約された、4つのバンクのうちの残りの2つ、バンクCとバンクDをまとめて添え字の2で表わす。

【0119】まず、縮約テストをバーストの連続として行う。ここでは、アドレスR2b、C2b+iがフェイルアドレスとして検出されている。このフェイルアドレスはテストに記憶され、ある時点でこのテストに記憶されたフェイルアドレスを用いてサーチモードを行う。このとき、Sの付いたサイクルでフェイルした行アドレスR2bを与え、その後、2サイクル後で列アドレスC2b+iを与える。レーテンシ2で、まず、バンクCにおけるI/Oピンの0~3が出力され、次にバンクDにおけるI/Oピンの0~3が出力される。これにて、合わせて8ビットデータが出力される。

【0120】縮約されるデータとして、共通に“0”が書かれていたとして、“1”が出力されたバースト位置から、図14の場合はバンクDのI/Oピン1でフェイルが生じたことが分かる。このサーチモードは、縮約テストで“1”が出力されデータ内に不一致データがあるとき、そのアドレスに対してのみ行い、データを判定して縮約された情報を解けばよい。

【0121】さらに、I/O数が16の場合を次の例として検討する。メモリ容量が大きくなりI/O数が多くなるため、バンク自体をいくつかのレイから構成し、I/Oピンも2分割するなどにより並列して走るバス本数をできるだけ減らすように構成する。

【0122】図15にその一例を示す。4バンク構成の各バンクは、二つのセルアレイからなり、左右の2つの部分に分かれて配置される。ひとつのセルアレイからは8本のI/Oピンが出て、左右の各々8本を合わせて16本のI/O構成となる。図15は既に縮約の仕方を表わしているが、ノーマル状態の左側のブロックでのバンクとI/Oの構成を図16に示す。図15の右側のプロ

20

ックも同様の接続であるが省略した。各ブロックのバンクからは8つのI/Oピンが共通のデータバスに接続され、時分割でデータをバスに転送する。

【0123】縮約テストでは2つのバンクを縮約するので、4バンクが縮約されると見かけ上、2バンク構成となる。図15ではバンクAとバンクBから新たなバンク1ができ、バンクCとバンクDから新たなバンク2ができるとした。さて、図15では、DQ0及びDQ4、DQ8、DQ12に縮約したデータが転送される。縮約は、図13(a)~図13(c)に示した方法を単に拡張したものである。

【0124】図17、図18(a)~図18(d)に、図15のノーマルモード、縮約テストモード、サーチモードを実行する際のデータバスへの接続切替えを行う回路の詳細を示す。図17は、図15に示したバンクAまたはバンクCにおけるI/Oピンの0~3の縮約データバスを示している。バンクBとバンクDについても、I/Oピンのデータ線の0と1が入れ替わるだけで全く同じであるので省略した。また、I/Oピンの4~7についても全く同様に考えられるので省略した。図17で0~3が記入された四角は、セルアレイからのデータを増幅してラッチする部分である。このラッチ部分では、各モードで異なるラッチタイミング制御がなされる。図18(a)~図18(d)は、図17に示したデータバスを制御するための信号を生成する回路である。

【0125】次に、ラッチタイミング制御のための信号を説明する。信号Sはサーチモードのみで“H”となる信号であるため、ノーマルモードと縮約テストモードでは、信号BLとクロックCLKとの論理積演算(AND)が行われ、その出力信号を受けてラッチタイミングの制御が行われる。信号BLは、データバースト転送のサイクルの間“H”となる。従って、バースト期間中はクロックCLKに同期して、データがセルアレイからやり取りされる。ノーマルモードでは、信号Nが“H”であり、ラッチされたデータは各々データバスへ転送される。図17に示した縮約データを出力するDQ0パッドへは、対応するI/Oピンの0からのデータが出力される。

【0126】縮約テストモードでは、図18(c)に示すように、信号Tが“H”で、信号Rも“H”であり、信号TRが“H”となる。そして、I/Oピン0~3のXOR出力部が縮約データの出力パッドに繋がる論理和演算(OR)回路O11に入る一方のバスに接続される。このOR回路O11の他方の入力となるバスへは、図18(d)に破線で示した同様の接続回路によって構成される、他バンクBやバンクDのI/OグループのデータのXOR出力部が接続される。最終的にOR回路O11の出力が、縮約データとしてDQ0パッドに出てくる。

【0127】テストモードでの書き込みは、全ての縮約

21

データのバスに同じデータを同時に書き込む。書き込みの際には信号Wが“H”で信号Rは“L”であり、信号Tと信号WのAND出力によりt b 0～t b 7はすべて“H”となる。信号STWが“H”となるので、パッドに入力されたデータは対応するひとつのバスに転送され、I/Oピン0～3に同時に同じデータが転送される。このデータは、クロックに同期して制御されるラッチによって、セルアレイに順次バーストデータとして転送される。

【0128】サーチモードには、データ書き込みとデータ読み出しが存在する。データ読み出しでは、バーストの先頭のサイクルのみ“H”となる信号BSと、読み出しであることを示す信号RとのAND出力でラッチが制御されたセルアレイから、バーストの先頭で転送されてきたデータのみが保持され、データバスに順次転送される。

【0129】クロックにしたがっての順次転送は、シフトレジスタ出力b 0～b 7によって制御される。このシフトレジスタの出力は、サーチモードでバーストの先頭サイクルで“H”がb 0にセットされ、次のサイクルではb 0は“L”にセットされる。b 1はクロックの立ち下がりでb 0の“H”にセットされ、次のクロックの立ち下がりではb 0の“L”にセットされ、という順で順次“H”が転送されてバーストが終わると、全ての出力は“L”に戻っている。

【0130】各b jは、クロックの半周期分の重なりを持っているので、DDRのクロックの半周期ごとにきちんと切り替わる信号t b jを作るために、クロックCLK（または相補的なCLK）と信号b jとでANDをとっている。シリアルモードでは、信号Sの“H”に対応して信号STWが“H”であるので、縮約テストのパッドにひとつのデータバスが繋がり、縮約されたI/Oデータが解かれて順次転送されて行く。なお、図17の破線部分には、図18（d）に示すシフトレジスタの破線部分から出力される制御信号が対応して、バースト後半のデータを転送する。この部分は、例えばバンクBの図15に破線で示されている部分である。

【0131】サーチモードでのデータ書き込みでは、縮約されている同一番地のI/Oピンとバンクのそれぞれに、異なったデータを書き込むことができる。データ書き込みでは、バーストの最後のサイクルのみ“H”となる信号BEと、書き込みであることを示す信号WとのAND出力でラッチが制御される。そして、バースト中に各ラッチにデータバスから順次保持されたデータが、一斉にセルへと転送される。

【0132】ここで、図15に関連して通常モード、縮約テストモード、サーチモードでのデータバスのパッドとの接続とサーチモードでのバーストの関係を説明する。図17に対応するデータバスへの接続の関係を、図19、図20に示す。縮約テストモードで使用されるデ

22

ータバスに対応するパッドは、DQ0、DQ1、DQ4、DQ5である。これらのパッドへのデータラッチからの接続関係を示している。

【0133】図19は、図15での左側のブロックのバンクAまたはバンクCのI/Oピン0～3とI/Oピン4～7を合わせて示している。図20に示す回路は、図19の破線部分に相当し、バンクBとバンクDのI/Oピン0～3とI/Oピン4～7を合わせて示したものである。サーチモードでは、t b 0～t b 7が順次選択されるので、縮約されたバンクのペアであるバンクAとバンクB、またはバンクCとバンクDがそのI/Oの縮約とともに解かれる。そして、まずバーストの前半4ビットでバンクAまたはバンクCのI/Oピン0～3がDQ0パッドから、I/Oピン4～7がDQ4パッドからシリアルに読み出される接続になっている。さらに、バーストの後半4ビットでバンクBまたはバンクDのI/Oピン0～3がDQ0パッドから、I/Oピン4～7がDQ4パッドからシリアルに読み出される接続になっている。

【0134】図21（a）、図21（b）は、データバーストとデータの関係を示す図である。

【0135】図21（a）では、Tが付いたサイクルで縮約テストのバーストの行アドレスを与える。図15にて縮約された2つのバンクAとバンクBをまとめて添え字の1で表し、また同様に縮約された、4つのバンクのうちの残りの2つ、バンクCとバンクDをまとめて添え字の2で表わす。

【0136】まず、縮約テストをバーストの連続として行い、フェイルアドレスを検出する。このフェイルアドレスはテストに記憶され、ある時点でこのフェイルアドレスを用いてサーチモードを行う。

【0137】図21（a）は、パッドDQ0でのデータ状態を示している。縮約されたバンク2、すなわちバンクCまたはバンクDの行アドレスR2b、列アドレスC2b+5で“1”が出力され、フェイルがあることが分かる。このフェイルの具体的なバンクとI/Oピンを検出するために、サーチモードを行う。図21（a）のSの付いたサイクルで、フェイルした行アドレスR2bを与え、2サイクル後に列アドレスC2b+5を与える。レーテンシ2で、まずバンクCのI/Oピン0～3、次にバンクDのI/Oピン0～3に合わせて8ビットデータが出力される。

【0138】縮約されるデータとして共通に“0”が書かれていたとして、“1”が出力されたバースト位置から、図21（a）の場合はバンクDのI/Oピン1でフェイルが生じたことが分かる。他のDQパッドでのサーチモードにおけるバーストサイクルとI/Oピンの関係を、図21（a）に合わせて示してある。

【0139】次に、データの書き込みとバーストとの関係を示したのが図21（b）である。Tのサイクルで縮

23

約されたI/Oピンとバンクに共通の行データを与え、2サイクル後に共通のバーストの先頭列アドレスを与えて、8ビットのバーストデータ書き込みを行う。これは、通常のDDRのSDRAMの書き込みと同じであるが、縮約されたバンクとI/Oピンに、共通に同一のデータが毎バーストサイクルごとに書かれる。このデータが後のサーチモードで縮約を解いて、フェイルバンクとI/Oピンを特定する際に、期待値として読み出されたデータと比較される。

【0140】サーチモードを使つてのデータ書き込みを行うと、縮約を行わない通常の書き込みと同等のことができることを示したのが、図21(b)にSで示したサイクルから始まるサーチモードでの書き込みである。

【0141】図21(b)の例では、まず縮約バンク1、すなわちバンクAとバンクBのペアに共通の行アドレスaをR1aで指定する。次に、列アドレスa+2をC1a+2で指定し、バーストサイクルごとにデータを書き込む。すると、入力パッドにしたがって図21

(b)に示されているように、データが各I/OピンとバンクAとバンクBに書き込まれる。通常のバースト書き込みが列アドレスをスキャンするのに対して、I/Oピンとバンクをスキャンするイメージとなる。

【0142】以上に、バンクとI/Oピンを混合して同一パッドからのデータバーストを構成する例を示したが、図22ではI/Oピンのみのスキャンで同一パッドのデータバーストを構成するデータバスとの接続方法を示す。

【0143】図15に示した例との違いは、縮約データを出力パッドごとに縮約されたバンクを割り振ったことである。この具体的な割付を、図16のパッドDQ0とDQ1について示したのが図23と図24である。

【0144】図23の破線部分が図24であるが、サーチモードでtb0~tb7が順次選択されるとき、バンクAまたはバンクCのI/Oピン0~7のデータがDQ0パッドからバーストとして出力されるようになっている。この構成でのデータとデータバーストの関係を図21(a)、図21(b)と同様に示したのが図25

(a)、図25(b)である。

【0145】図25(a)でのTで始まる縮約テストモードは図21(a)と同じである。図25(a)はパッドDQ4のデータバーストを表す。サーチモードでのデータの構成では縮約バンク2でフェイルがあったので、バンクCかバンクDのフェイルである。DQ4に対応するのは図22からも分かるように、バンクDであるからバーストはバンクDのI/Oピン0~7のデータが順次出力される。データの期待値が“0”であるとして、“1”が出力されたサイクルに対応するI/Oピンがフェイルしているのを、バンクDのI/Oピン5がフェイルであると特定できる。図25(a)には、DQパッドごとのI/Oピンの対応を示した。縮約テスト、サーチ

24

モードでのデータ書き込みを、図25(b)に示した。図25(b)は、サーチモードでのデータ書き込みのスキャンがI/Oピンになったことのみが異なり、その他は図21(b)と同様である。

【0146】以上説明したようにこの第2の実施の形態によれば、アンチフューズを1、2ビットの不良置き換えなどに用いる場合に、不良アドレスの探索に要する時間を大幅に削減でき、テスト時間の大きな増加を伴わずにアンチフューズシステムを利用できるようになる。

【0147】以上のような実施の形態によって、バーストを利用してのデータ転送効率の高い縮約テストと、さらに不良アドレスを検索できる方法が確立される。これにより、テスト時間がかかりコストを引き上げること無く、パッケージ後のビット不良の置き換えなどをアンチフューズを用いて効率的に行うことができ、製品としての良品率を向上できる。

【0148】本発明は、次のような構成要素からなる。

【0149】本発明の電気ヒューズビットのユニットは、キャパシタなどストレスをかけてリーク電流を増やすタイプのアンチフューズをペアで使用し、このアンチフューズのペアのどちらのリーク電流が多いかを比較してストレスのかけ方を検出して、フューズのプログラム情報として用いることを特徴とする。

【0150】また、さらに複数のアンチフューズユニットから構成されるフューズボックスで、二つのフューズユニットのブロックに分かれ、一方のブロックはフューズボックスがシステムとして有効か否かの情報をプログラムされ、他方のブロックは有効のときにリペアするアドレスビットをプログラムされる。

【0151】さらに、有効か否かを表す上記一方のブロックのフューズユニットがすべて一定のプログラムパターン状態のときにフューズボックスは有効と見なされ、有効でない場合では1ビットだけプログラムパターンから外されたビットにプログラムされる。

【0152】前記フューズボックスのユニットのプログラムと読み出しは、1ビットずつシリアルに行われる。ヒューズボックスの情報の読み出しは、チップの電源オン時に行われ、チップの動作時には不良アドレスビット情報として保持され、利用される。

【0153】このシステムを、チップをパッケージに封入後利用するため、リダンダンシを利用する不良アドレスの検出を効率的に行えるように、同時に評価できるチップ数を増やし、内部のアドレスを多重に利用してアドレスのトータルアクセス時間を減らし、さらに不良アドレスの検出が容易に行えるように以下の機能と構成を備える。

【0154】通常、使用時のI/O数をテスト時は共通にして同じデータを入出力するようにつかまてひとつのI/Oピンからの入出力を行い、使用データピン数を減らし、同時にテストできるチップ数を増や

す。

【0155】チップ内のメモリバンクの複数を同時に活性化して同じデータの入出力を行い、データの入出力のためのアドレスアクセスの回数を減らし、テスト時間を短くする。

【0156】不良アドレスは、複数の I/Oピンと複数のバンクにまたがるデータの OR の情報として得られるので、不良のアドレスの縮約をとき、実アドレスを得るために一定の順序で I/Oピンとバンクのデータを縮約アドレス内でシリアルに入出力できるテストモードとデータバスの切替えのためのデータバス構造と切り替え機構を有する。

【0157】以上述べたようにこの発明によれば、破壊状態のばらつきによらず、安定したフューズプログラム状態が判定できるアンチフューズを用いたリダンダンシ回路とリダンダンシシステムを提供することが可能である。さらに、この発明によれば、DRAM製造に使われるプロセスに付加的なプロセスを追加することなく、DRAMが持つ素子を利用したアンチフューズで、かつ安定したフューズプログラム状態が判定できるアンチフューズを用いたリダンダンシ回路とリダンダンシシステムを提供することが可能である。

【0158】また、前記リダンダンシ回路にフューズプログラム状態を記憶させるために必要な不良アドレスの特定を、効率良く行うことができる不良アドレス検索方法を提供することが可能である。

【0159】また、前述した各実施の形態はそれぞれ、単独で実施できるばかりでなく、適宜組み合わせることも可能である。

【0160】さらに、前述した各実施の形態には種々の段階の発明が含まれており、各実施の形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【0161】

【発明の効果】以上述べたようにこの発明によれば、フューズの破壊状態のばらつきによらず、フューズプログラム状態が正確に判定できるリダンダンシ回路を提供することが可能である。

【0162】さらに、この発明によれば、前記リダンダンシ回路にフューズプログラム状態を記憶させるために必要な不良アドレスの特定を、効率良く行うことができる不良アドレス検索方法を提供することが可能である。

【図面の簡単な説明】

【図1】従来のキャパシタを用いたアンチフューズの構成例を示す回路図である。

【図2】この発明の第1の実施の形態の基本的なアンチフューズとその状態検出回路の構成を示す回路図である。

【図3】前記アンチフューズとその状態検出回路を有するフューズユニットのシステム構成を示すブロック図で

ある。

【図4】図3に示したフューズユニット中のアンチフューズ回路、コンパレータ、及びラッチ回路の構成を示す回路図である。

【図5】図3に示したフューズユニット中の検出制御回路の構成を示す回路図である。

【図6】図3に示したフューズユニットを有するフューズシステムの構成を示すブロック図である。

【図7】図4に示したブロック e-fuse 0、e-fuse 1 をセルアレイとして構成した回路図である。

【図8】図3に示したアンチフューズ回路をプログラムするためのプログラム制御回路の回路図である。

【図9】前記アンチフューズ回路のプログラム時の信号状態を実施形態に従って示したタイムチャートである。

【図10】良品取得検査システムにおいて、この発明の第2の実施の形態のデータ縮約不良アドレス検索方法が用いられる工程を示す作業フロー図である。

【図11】前記第2の実施の形態におけるバースト長4でバンクインターリーブがない場合とある場合を示すタイムチャートである。

【図12】前記第2の実施の形態におけるバースト長8でバンクインターリーブがない場合とある場合を示すタイムチャートである。

【図13】SDRAMにおけるノーマルモード、縮約テストモード、サーチモードでの I/Oピンとデータバスの接続関係を示す図である。

【図14】縮約テストモードとサーチモードを組み合わせる場合の一例を示すタイムチャートである。

【図15】I/Oピンとデータバスの接続関係の一例を示す図である。

【図16】図15中の左側のブロックにおけるノーマル状態でのバンクと I/Oピンの構成を示す図である。

【図17】図15に示したノーマルモード、縮約テストモード、サーチモードを実行する際のデータバスへの接続切替えを行う回路図である。

【図18】図15に示したノーマルモード、縮約テストモード、サーチモードを実行する際のデータバスへの接続切替えを行う回路図である。

【図19】図17に示したバンク A、C に対応するデータバスへの接続関係を示す回路図である。

【図20】図17に示したバンク B、D に対応するデータバスへの接続関係を示す回路図である。

【図21】図15に示した例におけるデータとデータバーストと関係を示す図である。

【図22】I/Oピンとデータバスの接続関係の他の例を示す図である。

【図23】図22に示したバンク A、C に対応するデータバスへの接続関係の一部を示す回路図である。

【図24】図22に示したバンク A、C に対応するデー

27

タブスへの接続関係の他の一部を示す回路図である。

【図25】図22に示した例におけるデータとデータバーストの関係を示す図である。

【符号の説明】

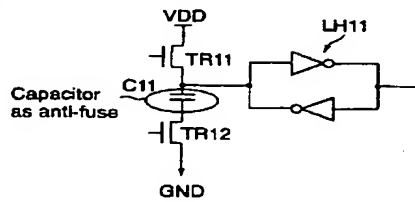
11…コンパレータ

12…ラッチ回路

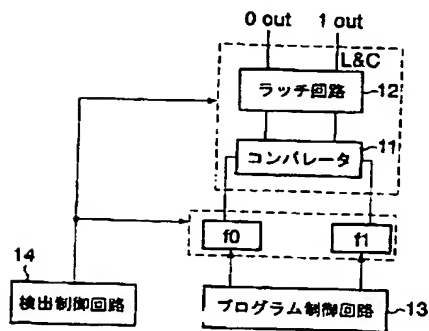
13…プログラム制御回路 (Programming Control)

14…検出制御回路 (Fuse-Enable-Control)

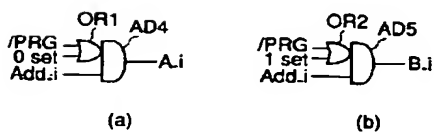
【図1】



【図3】



【図8】



28

\* C1、C2…キャパシタ

f0、f1…アンチフューズ回路

GND…基準電位

PT1、PT2…バストランジスタ

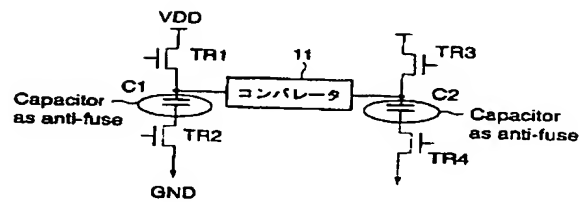
TR1~TR4…nチャネルMOSトランジスタ

TR5~TR16…トランジスタ

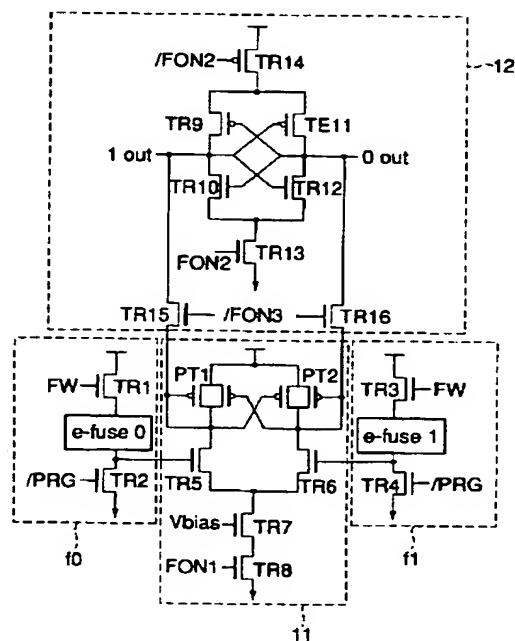
VDD…電源電圧

\*

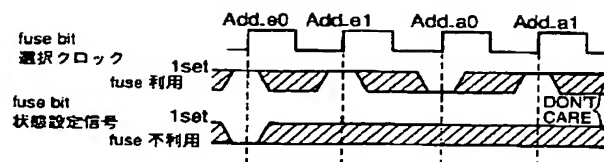
【図2】



【図4】

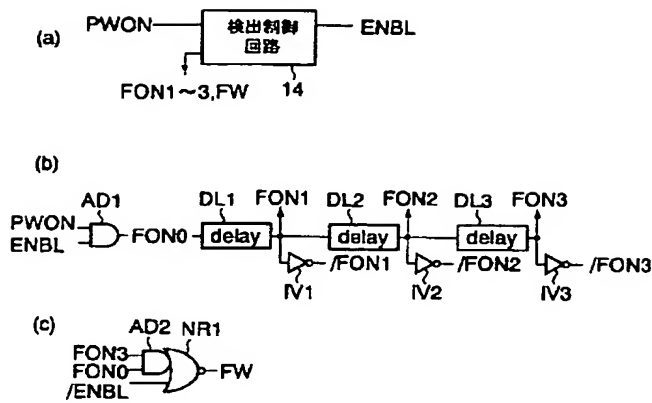


【図9】

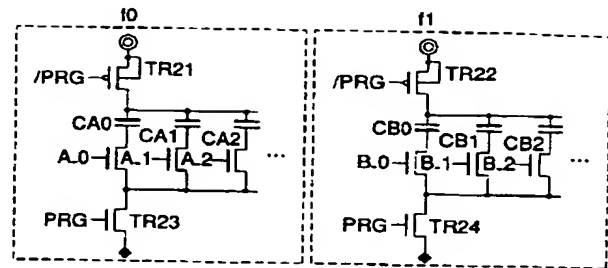




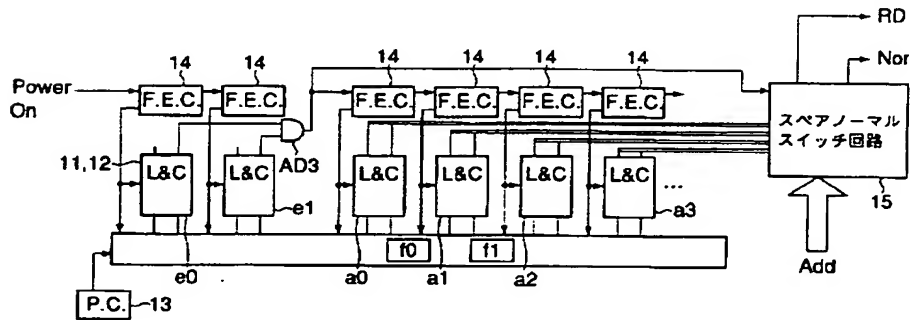
【図5】



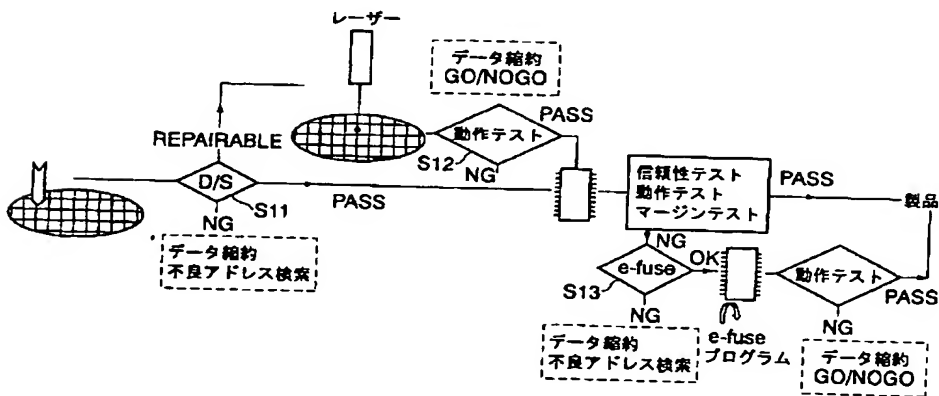
【図7】



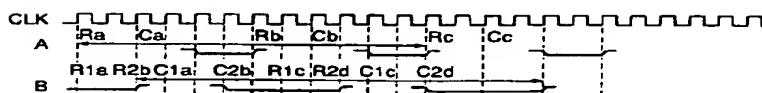
【図6】



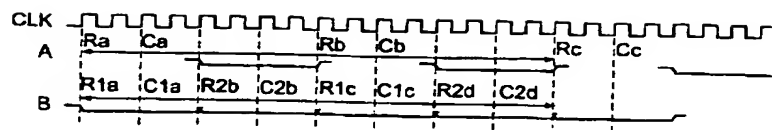
【図10】



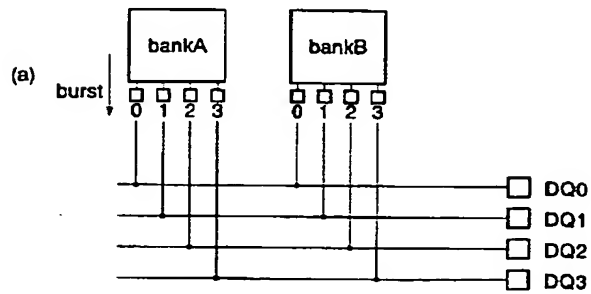
【図11】



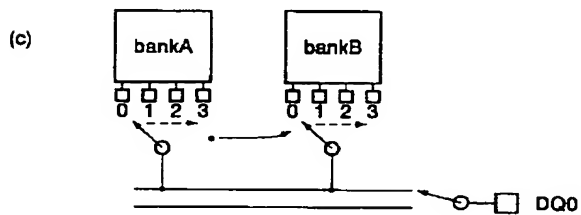
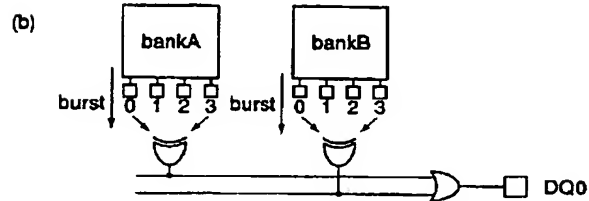
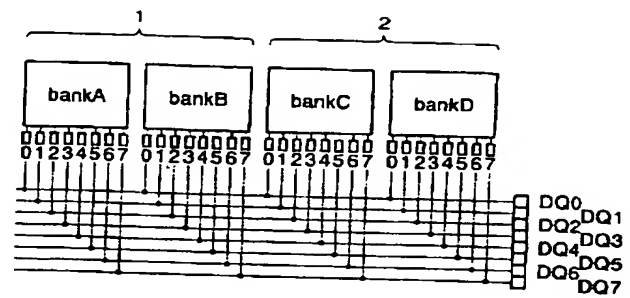
【図 12】



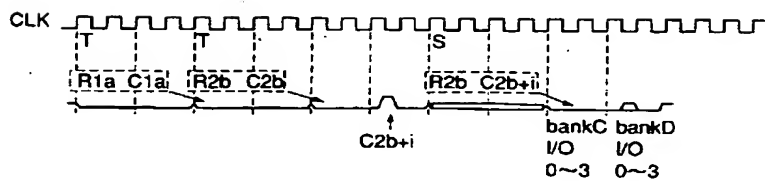
【図 13】



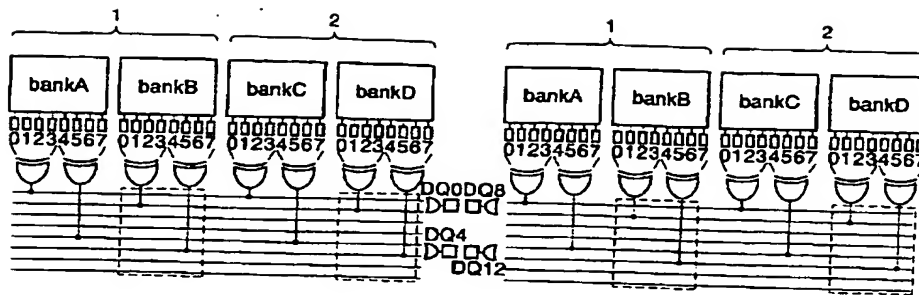
【図 16】



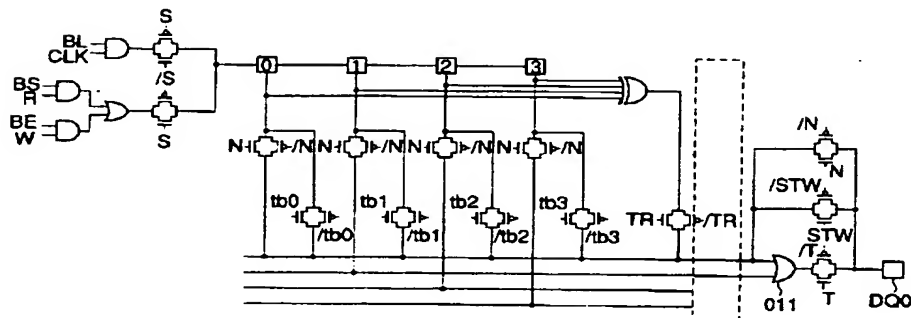
【図 14】



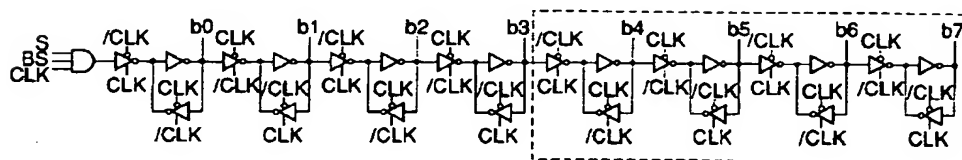
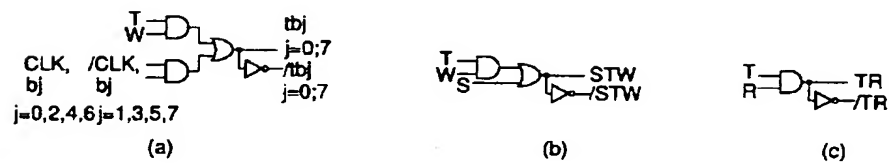
【図15】



【図17】

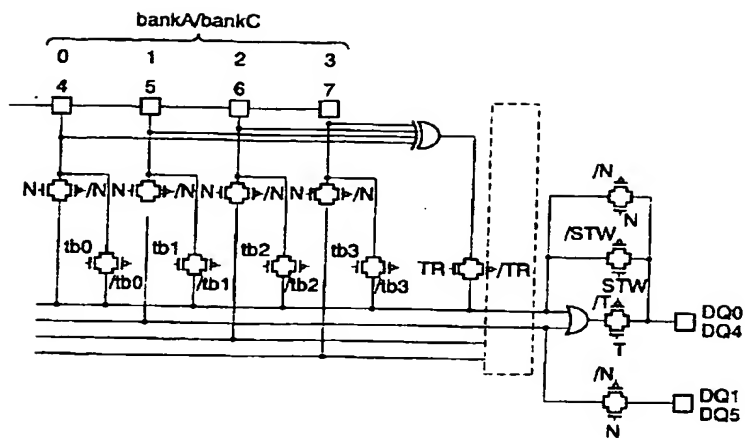


【図18】

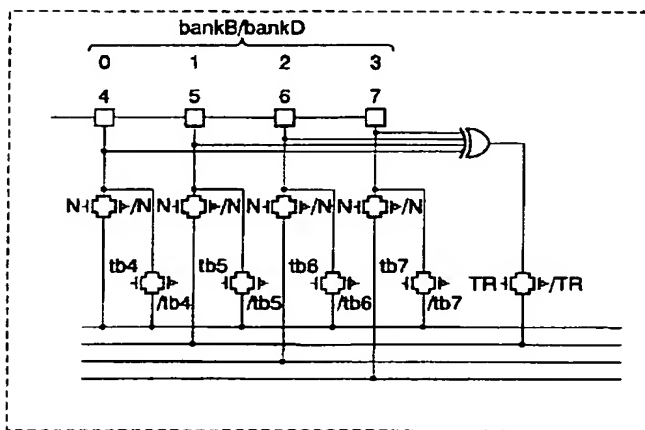


(d)

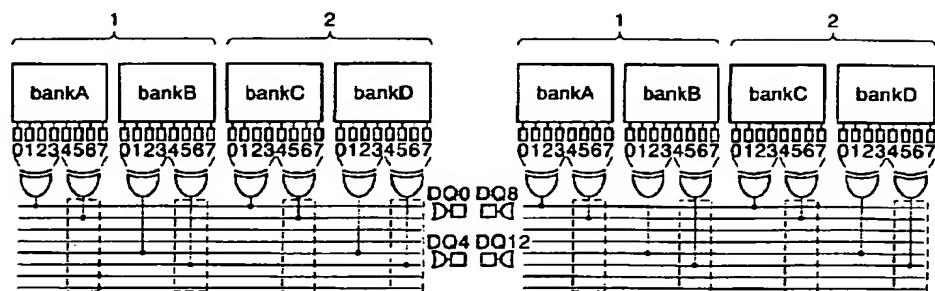
【図 19】



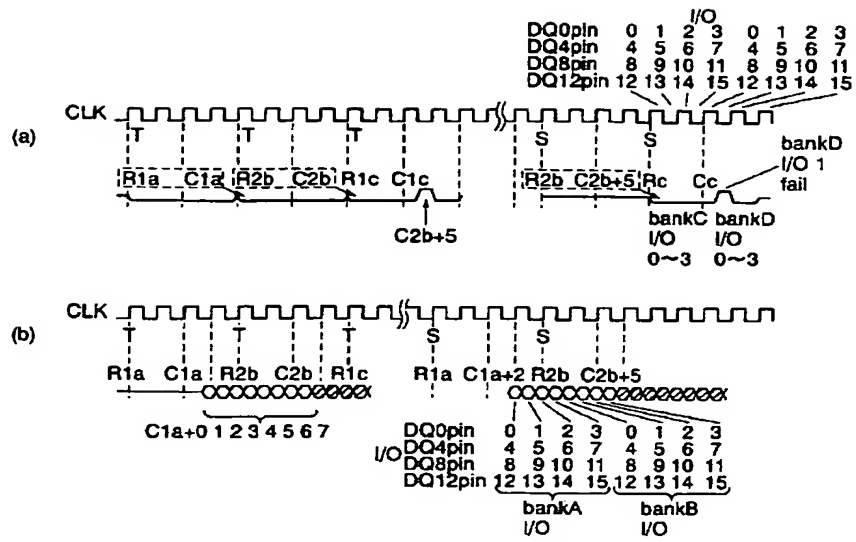
【図 20】



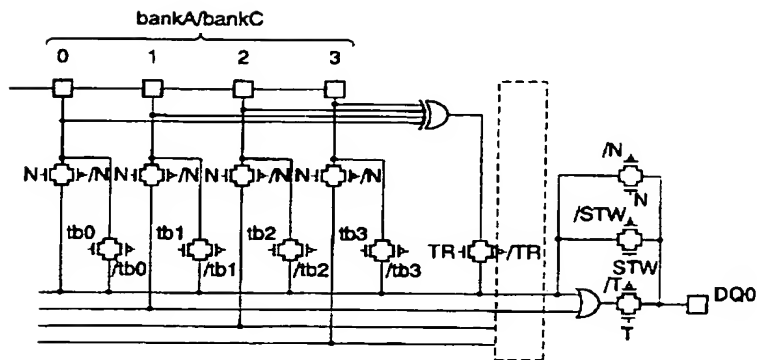
【図 22】



【図 21】



【図 23】



The diagram shows a timing diagram for bankA/bankC. It includes clock signals 4, 5, 6, and 7, and data signals tb4, tb5, tb6, tb7, and TR. The signals are connected to a logic block, and the output is labeled DQ1.

(a) Timing diagram for bankA/C, bankB/D, bankA/C, and bankB/D I/O signals. The CLK signal is shown at the top. The signals are divided into two groups: R1a, C1a, R2b, C2b, R1c, C1c, and R2b, C2b+5, R1c, Cc. The bankD I/O 5 tail is also indicated.

	I/O	0	1	2	3	4	5	6	7
bankA/C	DQ0pin	0	1	2	3	4	5	6	7
bankB/D	DQ4pin	0	1	2	3	4	5	6	7
bankA/C	DQ8pin	8	9	10	11	12	13	14	15
bankB/D	DQ12pin	8	9	10	11	12	13	14	15

(b) Timing diagram for bankA/C, bankB/D, bankA/C, and bankB/D I/O signals. The CLK signal is shown at the top. The signals are divided into two groups: R1a, C1a, R2b, C2b, R1c, and R1a, C1a+2, R2b, C2b+5. The bankD I/O 5 tail is also indicated.

	I/O	0	1	2	3	4	5	6	7
bankA/C	DQ0pin	0	1	2	3	4	5	6	7
bankB/D	DQ4pin	0	1	2	3	4	5	6	7
bankA/C	DQ8pin	8	9	10	11	12	13	14	15
bankB/D	DQ12pin	8	9	10	11	12	13	14	15

F ターム (参考)

5F038	AC01	AC05	AC15	AC18	DF05
	EZ14	EZ15	EZ17	EZ20	
5L106	AA01	CC04	CC08	CC09	CC13
	CC14	CC17	DD04	DD06	DD12
	GG07				
5M024	AA93	BB30	BB32	BB40	JJ02
	LL01	MM10	MM15	PP01	PP02
	PP03	PP07			